

Note Z:

Dans les opérations logiques simples, une instruction unique effectuée une manipulation logique unique de pas plus de deux opérandes de longueurs données.

Dans des opérations logiques complexes, une instruction unique effectuée des manipulations logiques multiples pour produire un ou plusieurs résultats à partir de deux ou plus de deux opérandes.

Les vitesses doivent être calculées pour toutes les longueurs d'opérande exécutables, en tenant compte des opérations en pipeline (si elles sont exécutables) et des opérations non en pipeline, au moyen des instructions d'exécution les plus rapides pour chacune des longueurs d'opérande, en se basant sur :

1. Les opérations en pipeline ou de registre à registre. Exclure les temps d'exécution exceptionnellement brefs obtenus pour des opérations correspondant à un(des) opérande(s) prédéterminé(s) (par exemple multiplication par 0 ou par 1). Si l'«EC» n'exécute pas d'opération de registre à registre, appliquer le paragraphe 2.
2. La plus rapide des opérations : soit de registre à mémoire, soit de mémoire à registre. Si celles-ci n'existent pas non plus, alors appliquer le paragraphe 3.
3. Les opérations de mémoire à mémoire. Pour chacun des cas ci-dessus, utiliser le temps d'exécution le plus rapide certifié par le fabricant.

Opération 2 : Pondération pour chaque longueur d'opérande LM exécutable

Ajuster la vitesse calculée V (ou V₀) par le coefficient de pondération selon la longueur de mot L, comme suit :

$$PT = V * L$$

avec : $L = (1/3 + LM/96)$

Note :

La longueur de mot LM utilisée dans ces calculs est la longueur en bits de l'opérande. (Si une opération utilise des opérandes de différentes longueurs, retenir la plus importante.)

Pour le calcul de la «PTP», la combinaison d'une unité arithmétique et logique à mantisse et d'une unité arithmétique et logique exposant, dans un processeur ou une unité à virgule flottante, est considérée comme un «EC» ayant une longueur de mot (LM) égale au nombre de bits dans la représentation de données (généralement 32 ou 64).

Cette pondération ne s'applique pas aux processeurs logiques spécialisés n'effectuant pas l'instruction OUX. Dans ce dernier cas PT = V. Retenir la valeur maximale de PT obtenue :

- Chaque virgule fixe - «EC» uniquement (V_x);
- chaque virgule flottante - «EC» uniquement (V_f);
- chaque «EC» à virgule fixe et flottante combinée (V);
- chaque processeur logique simple n'effectuant aucune des opérations arithmétiques spécifiées; et
- chaque processeur logique spécial n'effectuant aucune des opérations logiques ou arithmétiques précédentes.

Opération 3 : «PTP» des agrégations d'«EC», notamment des UC

Pour une UC ayant un seul «EC»,

$$«PTP» = PT$$

(Pour les «EC» utilisant à la fois les opérations en virgule fixe et en virgule flottante $PT = \max (PT_f, PT_x)$)

La «PTP» des agrégations de plusieurs «EC» fonctionnant simultanément est calculée comme suit :

Notes :

1. Pour les agrégations ne permettant pas le fonctionnement simultané de tous les «EC», la combinaison possible des «EC» procurant la «PTP» la plus élevée sera utilisée. La PT de chaque «EC» concerné doit être agrégée sous sa valeur maximale théoriquement possible, avant que la «PTP» de la combinaison n'en soit déduite.

N.B. :

Afin de déterminer les combinaisons possibles d'«EC» fonctionnant simultanément, produire une séquence d'instructions en vue d'effectuer des opérations en «EC» multiples en commençant par l'«EC» le plus lent (celui nécessitant le plus grand nombre de cycles pour mener à terme l'opération) et en finissant par l'«EC» le plus rapide. Lors de chaque cycle de la séquence, la combinaison des «EC» qui sont exploités lors du cycle est une combinaison possible. La séquence d'instructions doit tenir compte de toutes les contraintes résultant du matériel et/ou de l'architecture sur les opérations exécutées simultanément.

2. Une seule puce ou une seule carte de circuits intégrés peut contenir des «EC» multiples.
3. Des opérations simultanées sont supposées exister lorsque le fabricant du calculateur stipule dans un manuel ou une brochure du calculateur, l'existence d'un fonctionnement ou d'une exécution en mode concurrent, parallèle ou simultané.
4. Les valeurs de «PTP» ne doivent pas être agrégées pour les combinaisons «EC» (inter)connectées telles que les réseaux locaux, les réseaux étendus, les connexions/dispositifs à entrées/sorties partagées, les contrôleurs d'entrée/sortie et les interconnexions de communications mises en œuvre par du logiciel.
5. Les valeurs de «PTP» doivent être agrégées pour les «EC» multiples spécialement conçus pour améliorer les performances par agrégation, fonctionnant simultanément et partageant leur mémoire, ou les combinaisons mémoires/«EC» multiples fonctionnant simultanément et utilisant du matériel spécialement conçu.

Cette agrégation ne s'applique pas aux «ensembles électroniques» décrits à l'alinéa 1041.3.d.

$$«PTP» = PT_1 + C_2 * PT_2 + \dots + C_n * PT_n$$

les PT étant classées par ordre décroissant, PT₁ étant la plus élevée, PT₂ la valeur immédiatement inférieure, ..., PT_n la plus faible et C_i étant le coefficient déterminé par la force d'interconnexion entre les «EC», comme suit:

Pour les agrégations de plusieurs «EC» fonctionnant simultanément et partageant leur mémoire :

$$C_2 = C_3 = C_4 = \dots = C_n = 0,75$$

Notes :

1. Lorsque la «PTP» calculée par la méthode ci-dessus ne dépasse pas 194 Motps, la formule suivante peut être employée pour calculer C_i :

$$C_i = \frac{0,75}{\sqrt{m}} \quad (i = 2, \dots, n)$$

où m = nombre d'«EC» ou de groupes d'«EC» partageant l'accès.

à condition que :

- la PT_i de chaque «EC» ou groupe d'«EC» ne dépasse pas 30 Motps;
- les «EC» ou groupes d'«EC» partagent l'accès à la mémoire centrale (à l'exclusion de la mémoire cache) sur une seule voie; et
- un seul «EC» ou groupe d'«EC» puisse utiliser la voie à tout moment.

N.B. :

La présente Note ne s'applique pas aux équipements visés par la Catégorie 1030.

2. Les «EC» partagent leur mémoire s'ils ont accès à une section commune d'une mémoire à semi-conducteurs. Cette dernière peut inclure une mémoire cache, une mémoire centrale ou une autre mémoire interne. Des dispositifs mémoire périphériques, tels que les unités de disques, les dérouleurs de bande magnétique ou les disques RAM ne sont pas inclus.

Pour les agrégations de plusieurs «EC» ou groupes d'«EC» ne partageant pas leur mémoire et interconnectés par une ou plusieurs voies de données :

$$C_i = 0,75 * K_i \quad (i = 2, \dots, 32) \text{ (cf. Note ci-dessous)}$$

$$= 0,60 * K_i \quad (i = 33, \dots, 64)$$

$$= 0,45 * K_i \quad (i = 65, \dots, 256)$$

$$= 0,30 * K_i \quad (i > 256)$$

La valeur de C_i est fondée sur le nombre d'«EC», et non sur le nombre de nœuds.